

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 1月14日  
Date of Application:

出願番号 特願2003-005505  
Application Number:

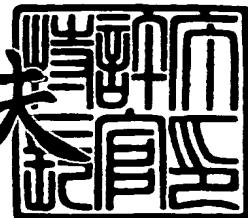
[ST. 10/C] : [JP2003-005505]

出願人 N E C エレクトロニクス株式会社  
Applicant(s):

2003年12月19日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康夫



【書類名】 特許願

【整理番号】 74510266

【提出日】 平成15年 1月14日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/82

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内

【氏名】 川嶋 秀和

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内

【氏名】 加藤 哲也

【特許出願人】

【識別番号】 302062931

【氏名又は名称】 NECエレクトロニクス株式会社

【代理人】

【識別番号】 100102864

【弁理士】

【氏名又は名称】 工藤 実

【手数料の表示】

【予納台帳番号】 053213

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0216502

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 レイアウトパターン生成のための装置と方法、及びそれを用いた半導体装置の製造方法

【特許請求の範囲】

【請求項 1】

半導体装置の領域内に、前記半導体装置の複数の構成要素の各々のパターンを示すプリミティブセルを配置するステップ（a）と、前記プリミティブセルの各々は拡散層パターンを有し、

前記複数のプリミティブセルの配置後の前記半導体装置の前記領域内の空き領域に、拡散層パターンを有する少なくとも1つのフィルセルを配置するステップ（b）とを具備するレイアウトパターン生成方法。

【請求項 2】 請求項1に記載のレイアウトパターン生成方法において、

配置された前記複数のプリミティブセル間の配線パターンを生成するステップを更に具備するレイアウトパターン生成方法。

【請求項 3】 請求項1又は2に記載のレイアウトパターン生成方法において、

前記ステップ（b）は、前記拡散層のデータ率が所定の範囲内になるように前記フィルセルを配置する  
レイアウトパターン生成方法。

【請求項 4】 請求項1乃至3のいずれかに記載のレイアウトパターン生成方法において、

異なるサイズの複数のフィルセルを提供するステップを更に具備し、  
前記複数のフィルセルの各々は、同じデータ量の識別子で識別され、  
前記ステップ（b）は、前記空き領域に基づいて、配置可能で、大きいサイズの前記フィルセルから順に用いて、前記空き領域に前記フィルセルを配置する  
レイアウトパターン生成方法。

【請求項 5】 請求項1乃至4のいずれかに記載のレイアウトパターン生成方法において、

前記半導体装置の前記複数の構成要素のうちの特定のものを予めグループ化す

るステップを更に具備し、

前記ステップ（a）は、前記グループに基づいて、前記特定の構成要素に対する前記プリミティブセルを配置する  
レイアウトパターン生成方法。

**【請求項 6】** 請求項1乃至5のいずれかに記載のレイアウトパターン生成方法において、

前記複数のプリミティブセルと前記フィルセルが配置されたレイアウトパターンから、ウエハに前記拡散層を形成するためのレチクルのためのマスクデータを生成するステップ

を更に具備するレイアウトパターン生成方法。

**【請求項 7】** 請求項1乃至6のいずれかに記載のレイアウトパターン生成方法をコンピュータに実行させるためのプログラム。

**【請求項 8】**

レチクルを用いて半導体ウエハに半導体装置のための拡散層を形成するステップ（a）と、前記拡散層は、均一に分布しており、

前記半導体ウエハ上で前記拡散層の間にトレンチを形成するステップ（b）と

前記半導体ウエハ上にCVD法により絶縁膜を成膜するステップ（c）と、

前記拡散層が露出するまで、前記絶縁膜をCMP法により研磨するステップ（d）と

を具備する半導体装置の製造方法。

**【請求項 9】** 請求項8において、

前記半導体装置の複数の構成要素のレイアウトデータからマスクデータを生成するステップ（e）と、

前記マスクデータに基づいて、前記レチクルを製造するステップ（f）と  
を更に具備する半導体装置の製造方法。

**【請求項 10】** 請求項9において、

前記ステップ（e）は、

前記半導体装置の領域内に、前記複数の構成要素の各々のパターンを示すプリ

ミティブセルを配置するステップ (g) と、前記プリミティブセルの各々は拡散層パターンを有し、

前記複数のプリミティブセルの配置後の前記半導体装置の前記領域内の空き領域に、拡散層パターンを有する少なくとも 1 つのフィルセルを配置するステップ (h) と

を具備する半導体装置の製造方法。

**【請求項 11】** 請求項 10 に記載の半導体装置の製造方法において、配置された前記複数のプリミティブセル間の配線パターンを生成するステップを更に具備する半導体装置の製造方法。

**【請求項 12】** 請求項 10 又は 11 に記載の半導体装置の製造方法において、

前記ステップ (h) は、前記拡散層のデータ率が所定の範囲内になるように前記フィルセルを配置する半導体装置の製造方法。

**【請求項 13】** 請求項 10 乃至 12 のいずれかに記載の半導体装置の製造方法において、

異なるサイズの複数のフィルセルを提供するステップを更に具備し、前記複数のフィルセルの各々は、同じデータ量の識別子を有し、前記マスクデータを生成する際に、前記複数のフィルセルの各々は、前記識別子で識別され、前記ステップ (h) は、前記空き領域に基づいて、配置可能で、できるだけ大きいサイズの前記フィルセルから順に用いて、前記空き領域に前記フィルセルを配置する半導体装置の製造方法。

**【請求項 14】** 請求項 10 乃至 13 のいずれかに記載の半導体装置の製造方法において、

前記半導体装置の前記複数の構成要素のうちの特定のものを予めグループ化するステップを更に具備し、

前記ステップ (g) は、前記グループに基づいて、前記特定の構成要素に対する前記プリミティブセルを配置する

半導体装置の製造方法。

**【請求項 15】**

ネットリストを格納するネットリスト格納部と、

複数の構成要素の各々のパターンを示すプリミティブセルとフィルセルを格納するセル格納部と、前記プリミティブセルの各々は拡散層パターンを有し、前記フィルセルは拡散層パターンを有し、

前記ネットリスト格納部を参照して前記ネットリストから複数の構成要素の各々を決定し、前記決定された構成要素に基づいて前記セル格納を参照して、前記決定された構成要素に対する前記プリミティブセルを半導体装置の1チップ領域内に配置し、前記セル格納部を参照して、前記複数のプリミティブセルの配置後の空き領域に少なくとも1つのフィルセルを配置し、前記半導体装置のレイアウトパターンを生成する処理部と

を具備し、

ここで、前記レイアウトパターン内の前記拡散層パターンに従って、ウエハ上に拡散層が形成された後、前記ウエハ上に絶縁膜が形成され、その後前記拡散層上の前記絶縁膜が除去される半導体装置のパターン生成装置。

**【請求項 16】** 請求項15に記載の半導体装置のパターン生成装置において、

前記処理部は、前記拡散層パターンの分布が均一になるように前記フィルセルを配置する

半導体装置のパターン生成装置。

**【請求項 17】** 請求項15又は16に記載の半導体装置のパターン生成装置において、

前記処理部は、前記ネットリスト格納部を参照して、前記配置されたプリミティブセル間の配線パターンを生成する  
半導体装置のパターン生成装置。

**【請求項 18】** 請求項15乃至17のいずれかに記載の半導体装置のパターン生成装置において、

前記セル格納部は、異なるサイズの複数のフィルセルを格納し、

前記処理部は、前記空き領域の形状とサイズに基づいて、前記セル格納部を参照し、配置可能でできるだけ大きいサイズの前記フィルセルから順に用いて、前記空き領域に前記フィルセルを配置する半導体装置のパターン生成装置。

【請求項19】 請求項15乃至18のいずれかに記載の半導体装置のパターン生成装置において、

前記ネットリスト格納部は、前記半導体装置の前記複数の構成要素のうちの特定のものを示すグループ情報を更に格納し、

前記処理部は、前記グループ情報に基づいて、前記特定の構成要素に対する前記プリミティブセルを前記1チップ領域内に配置する半導体装置のパターン生成装置。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、半導体装置の製造技術に関し、特に、プリミティブセルを配置後の空き領域にフィルセルを配置するレイアウトパターン生成方法と、そのための装置、及びそれを用いた半導体の製造方法に関する。

##### 【0002】

##### 【従来の技術】

半導体装置の最近の製造方法では、ウエハ表面のウエル内に拡散層のための不純物が注入された後、素子間分離のために拡散層間にトレンチが生成される。その後、CVD法によりウエハ表面に酸化膜（絶縁膜）が形成される。この結果、拡散層が残る部分では、素子間分離酸化膜の表面は高く、トレンチ部では低くなる。すなわち、素子間分離酸化膜表面が凸凹となる。そこで、ウエハ表面を平坦化するために、CMP法が適用され、拡散層の表面が露出するように、ウエハ表面の素子間分離酸化膜は除去される。

##### 【0003】

このとき、拡散層が少ない領域では、拡散層が多い領域よりも研磨が進み、ウエハ表面が削れすぎるという問題がある。すなわち、拡散層の分布の偏りに起因

するウエハ表面処理の問題がある。従来の半導体装置の製造プロセスでは、ウエハを準備する段階で素子間分離絶縁膜をCMP法で平坦化する必要が無いので、上記の問題は存在しなかった。

#### 【0004】

ところで、従来、半導体装置のパターンを設計する際に、回路パターンのない領域にはフィルパターンが配置されている。このようにして、生成されたパターンを用いてレチカルが製作され、そのレチカルを用いて半導体装置が製造されている。

#### 【0005】

従来のフィルセルとして、ウエルのみが配置されたセルが知られているが、これでは、上記の拡散層の分布に関する問題を解決することができない。また、従来のフィルセルとして、電源容量確保のためにゲートポリシリコン層のデータを入れたセルが知られている。しかしながら、これらのパターンは、ウエハの準備段階での処理のためではなく、ウエハ上に形成される配線層についての問題を解決するためのものにすぎない。

#### 【0006】

拡散層の分布に依存するCMP法の問題を解決するためには、半導体装置の全体のレイアウトパターンが形成された後、マスクデータ処理において、拡散層の少ない領域に拡散層のダミーデータを挿入することが考えられる。しかしながら、マスクデータ処理でダミーデータを生成する演算式は複雑であり、処理に時間がかかりすぎるという問題がある。

#### 【0007】

上記の説明と関連して、半導体装置のレイアウト設計方法が知られている（特許文献1）。この特許文献1では、メタルデータ率の確保のために配線層データを有するセルが、フィルセルとして用いられている。配線を形成する際に、配線データ率が少ないと配線パターンが正確に形成できないという問題を解決するために、配線データ率を所定の範囲に設定するようにダミーセルが配置されている。すなわち、特許文献1では、ウエハ上にトランジスタが形成された後の、上部層での配線データ率を問題としている。

**【0008】**

特許文献1では、使用されるダミーセルは、PチャンネルMOSトランジスタパターンとNチャンネルMOSトランジスタパターンとを有し、その結果、拡散層を含むものとなっている。しかしながら、使用されるのは、ゲート電極等の配線パターンであり、拡散層がどのような意味を有するかについての記載はない。すなわち、特許文献1は、本願発明の課題を認識してなされたものではない。

**【0009】****【特許文献1】**

特開平11-176941号公報

**【0010】****【発明が解決しようとする課題】**

従って、本発明の目的は、トランジスタを形成する前のCMPプロセスがウエハ全体で一様に行われることができるレイアウトパターン生成方法、そのためのレイアウトパターン生成装置、及びそれを使用する半導体装置の製造方法を提供することである。

**【0011】**

本発明の他の目的は、CMPプロセスがウエハ全体で一様に行われるよう、フィルセルが配置されるレイアウトパターン生成方法、そのためのレイアウトパターン生成装置、及びそれを使用する半導体装置の製造方法を提供することである。

**【0012】**

本発明の他の目的は、異なるサイズのフィルセルを用意しておき、プリミティブセルの配置後マスクデータ処理の前に、空き領域のサイズに基づいて適切なサイズのフィルセルが選択され、配置されるレイアウトパターン生成方法、そのためのレイアウトパターン生成装置、及びそれを使用する半導体装置の製造方法を提供することである。

**【0013】**

本発明の他の目的は、プリミティブセルの配置処理において、適切なサイズのフィルセルが配置され、マスクデータ処理における演算負荷を軽減できるレイア

ウトパターン生成方法、そのためのレイアウトパターン生成装置、及びそれを使用する半導体装置の製造方法を提供することである。

#### 【0014】

##### 【課題を解決するための手段】

以下に、【発明の実施の形態】で使用する番号・符号を用いて、課題を解決するための手段を説明する。これらの番号・符号は、【特許請求の範囲】の記載と発明の実施の形態の記載との対応関係を明らかにするために付加されたものであるが、【特許請求の範囲】に記載されている発明の技術的範囲の解釈に用いてはならない。

#### 【0015】

本発明のレイアウトパターン生成方法は、半導体装置の領域内に、前記半導体装置の複数の構成要素の各々のパターンを示すプリミティブセルを配置するステップ（a）と、前記プリミティブセルの各々は拡散層パターンを有し、

前記複数のプリミティブセルの配置後の前記半導体装置の前記領域内の空き領域に、拡散層パターンを有する少なくとも1つのフィルセルを配置するステップ（b）とを具備する。こうして、ウエハ全体に拡散層を配置することができることなる。

#### 【0016】

本発明の第1観点では、レイアウトパターン生成方法は、配置された前記複数のプリミティブセル間の配線パターンを生成するステップを更に具備する。また、本発明のレイアウトパターン生成方法において、前記ステップ（b）は、前記拡散層のデータ率が所定の範囲内になるように前記フィルセルを配置することが望ましい。これにより、拡散層形成後に、絶縁膜を形成し、それをCMPにより研磨するとき、削れ過ぎを防止することができる。

#### 【0017】

本発明のレイアウトパターン生成方法は、異なるサイズの複数のフィルセルを提供するステップを更に具備することが好ましい。前記ステップ（b）は、前記空き領域に基づいて、配置可能で、できるだけ大きいサイズの前記フィルセルから順に用いて、前記空き領域に前記フィルセルを配置する。これにより、フィル

セルの配置処理を効率化することができる。また、前記複数のフィルセルの各々は、同じデータ量の識別子で識別されることが望ましい。これにより、レイアウトパターンからマスクデータを生成する際の演算処理量を減らすことができる。

#### 【0018】

本発明のレイアウトパターン生成方法は、前記半導体装置の前記複数の構成要素のうちの特定のものを予めグループ化するステップを更に具備する。前記ステップ（a）は、前記グループに基づいて、前記特定の構成要素に対する前記プリミティブセルを配置する。これにより、特定の構成要素は高速動作することができる。

#### 【0019】

本発明のレイアウトパターン生成方法は、前記複数のプリミティブセルと前記フィルセルが配置されたレイアウトパターンから、ウエハに前記拡散層を形成するためのレチクルのためのマスクデータを生成するステップを更に具備してもよい。

#### 【0020】

また、上記のレイアウトパターン生成方法をコンピュータに実行させるためのプログラムが提供されることが望ましい。

#### 【0021】

本発明の第2観点では、半導体装置の製造方法は、レチクルを用いて半導体ウエハに半導体装置のための拡散層を形成するステップ（a）と、前記拡散層は、均一に分布しており、前記半導体ウエハ上で前記拡散層の間にトレンチを形成するステップ（b）と、前記半導体ウエハ上にCVD法により絶縁膜を成膜するステップ（c）と、前記拡散層が露出するまで、前記絶縁膜をCMP法により研磨するステップ（d）とを具備する。

#### 【0022】

本発明の半導体装置の製造方法は、前記半導体装置の複数の構成要素のレイアウトデータからマスクデータを生成するステップ（e）と、前記マスクデータに基づいて、前記レチクルを製造するステップ（f）とを更に具備してもよい。

#### 【0023】

また、本発明の半導体装置の製造方法では、前記ステップ（e）は、前記半導体装置の領域内に、前記複数の構成要素の各々のパターンを示すプリミティブセルを配置するステップ（g）と、前記プリミティブセルの各々は拡散層パターンを有し、前記複数のプリミティブセルの配置後の前記半導体装置の前記領域内の空き領域に、拡散層パターンを有する少なくとも1つのフィルセルを配置するステップ（h）とを具備する。

#### 【0024】

本発明の半導体装置の製造方法は、配置された前記複数のプリミティブセル間の配線パターンを生成するステップを更に具備してもよいし、前記ステップ（h）は、前記拡散層のデータ率が所定の範囲内になるように前記フィルセルを配置してもよい。

#### 【0025】

また、本発明の半導体装置の製造方法は、異なるサイズの複数のフィルセルを提供するステップを更に具備することが望ましい。この場合、前記複数のフィルセルの各々は、同じデータ量の識別子を有し、前記マスクデータを生成する際に、前記複数のフィルセルの各々は、前記識別子で識別され、前記ステップ（h）は、前記空き領域に基づいて、配置可能で、できるだけ大きいサイズの前記フィルセルから順に用いて、前記空き領域に前記フィルセルを配置する。

#### 【0026】

本発明の半導体装置の製造方法は、前記半導体装置の前記複数の構成要素のうちの特定のものを予めグループ化するステップを更に具備し、前記ステップ（g）は、前記グループに基づいて、前記特定の構成要素に対する前記プリミティブセルを配置してもよい。

#### 【0027】

本発明の第3観点では、半導体装置のパターン生成装置は、ネットリストを格納するネットリスト格納部と、複数の構成要素の各々のパターンを示すプリミティブセルとフィルセルを格納するセル格納部と、前記プリミティブセルの各々は拡散層パターンを有し、前記フィルセルは拡散層パターンを有し、前記ネットリスト格納部を参照して前記ネットリストから複数の構成要素の各々を決定し、前

記決定された構成要素に基づいて前記セル格納を参照して、前記決定された構成要素に対する前記プリミティブセルを半導体装置の1チップ領域内に配置し、前記セル格納部を参照して、前記複数のプリミティブセルの配置後の空き領域に少なくとも1つのフィルセルを配置し、前記半導体装置のレイアウトパターンを生成する処理部とを具備する。ここで、前記レイアウトパターン内の前記拡散層パターンに従って、ウエハ上に拡散層が形成された後、前記ウエハ上に絶縁膜が形成され、その後前記拡散層上の前記絶縁膜が除去される。

#### 【0028】

本発明の半導体装置のパターン生成装置では、前記処理部は、前記拡散層パターンの分布が均一になるように前記フィルセルを配置し、前記処理部は、前記ネットリスト格納部を参照して、前記配置されたプリミティブセル間の配線パターンを生成する。

#### 【0029】

また、本発明の第3観点では、半導体装置のパターン生成装置では、前記セル格納部は、異なるサイズの複数のフィルセルを格納し、前記処理部は、前記空き領域の形状とサイズに基づいて、前記セル格納部を参照し、配置可能でできるだけ大きいサイズの前記フィルセルから順に用いて、前記空き領域に前記フィルセルを配置する。

#### 【0030】

本発明の第3観点では、半導体装置のパターン生成装置では、前記ネットリスト格納部は、前記半導体装置の前記複数の構成要素のうちの特定のものを示すグループ情報を更に格納し、前記処理部は、前記グループ情報に基づいて、前記特定の構成要素に対する前記プリミティブセルを前記1チップ領域内に配置する。

#### 【0031】

##### 【発明の実施の形態】

以下に添付図面を参照して、本発明の半導体装置のパターン生成装置及びパターン生成方法、及びそれを使用する半導体装置の製造方法について説明する。

#### 【0032】

図1は、本発明の第1実施形態による半導体装置のパターン生成装置の構成を

示すブロック図である。図1を参照して、第1実施態のパターン生成装置は、処理装置1、入力装置2、表示装置3、ネットリスト格納部4、ライブラリ格納部5を備えている。

#### 【0033】

処理装置1は、フロア計画部1-1、配置配線部1-2、統合部1-3、マスクデータ処理部1-4を有している。処理装置1は、コンピュータとプログラムとにより実現可能である。処理装置1は、入力装置2からの指示に従って動作し、処理結果を表示装置3に表示する。また、必要により、ネットリスト格納部4、ライブラリ格納部5を参照する。

#### 【0034】

入力装置2は、データや命令を入力するために使用される。表示装置2は、処理装置1の制御の下、処理途中のデータを表示し、データや命令の入力を要求する画面を表示する。

#### 【0035】

ネットリスト格納部4は、製造されるべき半導体装置の回路構成を示すネットリストを格納している。すなわち、半導体装置で使用される抵抗、キャパシタなどの単一構成要素と、論理回路、CPU、PLL回路等の複合構成要素などの回路構成要素と、それらの接続関係を格納している。ネットリスト格納部4は、回路構成要素の内の特定のものは、入力装置2を介してのオペレータからの指示により予めグループ化されている。このとき、その特定の回路構成要素がグループ化されていることを示すグループ情報も格納している。

#### 【0036】

ライブラリ格納部5は、種々の回路構成要素の各々に対するパターンであるプリミティブセルと、空き領域を埋めるために使用されるフィルセルを格納している。プリミティブセルには、単一構成要素に対応するものに加えて、論理回路、CPU及びPLL回路に対応するものも含まれる。

#### 【0037】

プリミティブセルの一例が図3 (a) に示されている。図3 (a) は、1つの単位プリミティブセルを示している。単位プリミティブセルは、Nウエルパターン

ンとPウエルパターンからなり、NウエルパターンはP型拡散層パターンを有し、PウエルパターンはN型拡散層パターンを有する。両拡散層に渡るように2本のゲートパターンが設けられている。複数の単位プリミティブセルが集合して、CPUやPLL回路のような高度の回路構成要素のプリミティブセルが形成されている。

#### 【0038】

一方、図3（b）は、フィルセルの一例を示している。このフィルセルは、単位フィルセルである。単位フィルセルは、NウエルパターンとPウエルパターンからなり、NウエルパターンはP型拡散層パターンを有し、PウエルパターンはN型拡散層パターンを有する。プリミティブセルと異なり、ゲートパターンは設けられていない。

#### 【0039】

単位フィルセルだけがライブラリ格納部5に格納されていてもよい。しかしながら、複数の単位フィルセルを結合することにより生成された、サイズの大きい複合フィルセルもライブラリ格納部5に格納されていることが望ましい。複合フィルセルは種々のサイズを持っていることが望ましい。これにより、プリミティブセルの配置後の空きスペースにあわせて、種々のサイズのフィルセルの中から最適なサイズのフィルセルを空き領域に配置することができる。これにより、フィルセルの配置処理を効率化することができる。

#### 【0040】

この場合、サイズの大きい複合フィルセルもサイズの小さい単位フィルセルも同じサイズの識別番号で管理される。これにより、後のマスクデータ処理における演算量を減らすことができ、パターン生成処理を高速化することができる。

#### 【0041】

処理装置1のフロア計画部1-1は、1チップの領域内で、電源や信号の入出力のためのパッド位置やサイズを設定する。また、電源パターンの配置と配線を行う。また、I/O部との接続を決定する。

#### 【0042】

配置配線部1-2は、本発明に係わる部分である。配置配線部1-2は、電源

パターンの配線を行う。また、配置配線部1-2は、ネットリスト格納部4を参照して、配置されるべき回路構成要素とグループ情報を決定する。配置配線部1-2は、決定された回路構成要素に基づいてライブラリ格納部5を参照して、その回路構成要素に対応するプリミティブセルを決定し、1チップ領域内の空き領域に自動的に配置する。

#### 【0043】

配置配線部1-2は、決定された回路構成要素に関連するグループ情報が無いときには、次の回路構成要素を決定し、決定された回路構成要素に関連するグループ情報が存在するときには、次にグループ情報で関連づけられた回路構成要素を決定し、決定された回路構成要素に対応するプリミティブセルを1チップ領域内の先に配置されたプリミティブセルの近傍に配置する。

#### 【0044】

配置配線部1-2は、半導体装置の全ての回路構成要素に対応するプリミティブセルの配置が完了すると、1チップ領域内で、プリミティブセルが配置されていない空き領域に、フィルセルのみを配置する。フィルセルの配置後、配置配線部1-2は、先に配置されたプリミティブセル間の配線を行う。

#### 【0045】

統合部1-3は、上記のようにして形成された各層のパターンを統合して1チップ領域のレイアウトパターンを完成する。このとき、レイアウトパターンは、実際に回路構成要素が配置されたレイアウトパターンの形式で形成されていてもよい。この場合には、後処理は簡単になるが、データ量が大きくなりすぎる欠点がある。また、レイアウトパターンは、回路構成要素のためのプリミティブセルやフィルセルを識別するための識別子の集合として形成されていてもよい。この場合には、処理は複雑になるが、データ量を圧縮することができる。

#### 【0046】

マスクデータ処理部1-4は、統合部1-3により完成されたレイアウトパターンから半導体装置の製造に使用される種々のレチクルのためのマスクデータを生成する。このとき、単位フィルセルを用いて空き領域が埋められていると、処理量が大きくなる。単位フィルセルが結合された複合フィルセルが使用されれば

、小さい処理量ですむことになる。

#### 【0047】

次に、配置配線部1-2の詳細を図2を参照して説明する。配置配線部1-2は、電源配線部10、プリミティブセル配置部11、フィルセル配置部12、配線部13とを備えている。

#### 【0048】

電源配線部10は、電源パターンの配線を行う。

#### 【0049】

プリミティブセル配置部11は、ネットリスト格納部4を参照して、次に配置されるべき回路構成要素とグループ情報を決定する。決定された回路構成要素には、抵抗、キャパシタに加えて、論理回路、CPU、PLL回路等が含まれる。プリミティブセル配置部11は、決定された回路構成要素に基づいてライブラリ格納部5を参照して、その回路構成要素に対応するプリミティブセルを決定する。決定されたプリミティブセルは、1チップ領域内の空き領域に自動的に配置される。

#### 【0050】

決定された回路構成要素に関連するグループ情報が無いときには、次の回路構成要素が決定される。決定された回路構成要素に関連するグループ情報が存在するときには、次に、グループ情報で関連づけられた回路構成要素が決定される。こうして、上記と同様にして、決定された回路構成要素に対応するプリミティブセルが1チップ領域内の先に配置されたプリミティブセルの近傍に配置される。このように、予めグループ情報が設定されている場合には、関連するプリミティブセルは互いに近くに配置されるので、製造される半導体装置は高速で動作することが可能となる。

#### 【0051】

フィルセル配置部12は、半導体装置の全ての回路構成要素に対応するプリミティブセルの配置が完了すると、1チップ領域内で、プリミティブセルが配置されていない空き領域を検出する。ライブラリ格納部5に単位フィルセルのみが格納されているときは、空き領域の全体を単位フィルセルで満たす。一方、サイズ

の異なる複数のフィルセルがライブラリ格納部5に格納されているときは、空き領域内に配置可能で最も大きいサイズを有する複合フィルセルを空き領域に先ず配置する。次に、まだ残っている空き領域内に配置可能で最も大きいサイズを有するフィルセルを空き領域に配置する。このステップを繰り返すことにより、空き領域の全体にフィルセルを配置することができる。

#### 【0052】

配線部13は、先に配置されたプリミティブセル間の配線を行う。

#### 【0053】

次に、本発明のパターン生成装置のパターン生成方法を図4を参照して説明する。

#### 【0054】

図4（a）、1チップ内的一部の領域20を示している。この領域は、グリッドAからLまでを有している。プリミティブセル配置部11は、ネットリスト格納部4を参照して、配置されるべき回路構成要素を決定する。続いて、プリミティブセル配置部11は、決定された回路構成要素に基づいてライブラリ格納部5を参照して、プリミティブセルを決定して半導体装置のための領域に配置する。このようにして、グリッドA、D、E、G、J、Kにはプリミティブセルが配置されている。これらのプリミティブセルは、単位プリミティブセルであってもよいし、又は複合プリミティブセルであってもよい。

#### 【0055】

次に、図4（b）に示されるように、プリミティブセルの配置の完了後、フィルセル配置部12は、領域20内の空き領域を探し、グリッドB、C、F、H、Iが空きグリッドであることを検出する。グリッドBとCは、連続しているので、フィルセル配置部12は、ライブラリ格納部5から、2つの単位フィルセルが結合された複合フィルセルを検索し、それをグリッドB、Cに配置する。

#### 【0056】

その後、フィルセル配置部12は、グリッドF、H、Iは單一グリッドであるので、ライブラリ格納部5から単位フィルセルを読み出し、グリッドF、H、Iに配置する。この結果、図4（c）に示されるようにセルが配置されることにな

る。図4 (c) から明らかなように、全てのグリッドには、プリミティブセルかフィルセルが配置されている。こうして、拡散層が均等に配置される。

#### 【0057】

この例では、複数グリッドからなる領域には、複合フィルセルが配置されている。このように、サイズの異なる複合フィルセルを用意しておくことにより、フィルセルの配置処理を高速に実行可能である。しかしながら、処理速度は遅くなるが、単位フィルセルのみをライブラリ格納部5に用意しておいてもよい。フィルセルの配置処理は遅くなるが、制御フローを簡略化することができる。

#### 【0058】

また、この例では、全てのグリッドにプリミティブセルかフィルセルが配置されているが、全てのグリッドにセルを配置しなくともよい。ただし、1チップの領域において、拡散層のデータ率、すなわち拡散層の分布率が所定の範囲に収まることが望ましい。

#### 【0059】

その後、マスクデータ処理部において、レイアウトパターンからレチクルが製作される。このレチクルを用いて、ウエハ処理が行われる。以下に、図5を参照して、ウエハ処理について説明する。

#### 【0060】

ウエハ処理では、図5 (a) に示されるように、シリコンウエハ上にレチクルを用いて拡散層のためのレジストパターンが形成される。レジストパターンを用いて、拡散層がシリコンウエハ上に形成される。その後、所定の拡散層間にトレチクルが形成される。その後、素子間分離のために、CVD法により酸化膜（絶縁膜）が成膜される。この結果、拡散層が存在する部分では高く、トレチクルが形成されている部分では低く、シリコンウエハの表面には段差が生じて、凸凹になる。

#### 【0061】

その凸凹をなくすために、CMP法が適用され、酸化膜は、拡散層表面が露出するまで、研磨される。この結果、図5 (b) に示されるように、表面が平坦化されたウエハが得られる。

### 【0062】

このとき、拡散層がウエハ上に偏在していると、拡散層が少ない領域では、ウエハが削れ過ぎてしまう。しかしながら、本発明では、フィルセルが適切に配置されているので、拡散層のデータ率が所定の範囲に収まり、拡散層はほぼ均一の分布をしているので、ウエハ表面を均一に研磨することが可能となる。こうして、形成されたウエハを用いて半導体装置が製造される。

### 【0063】

#### 【発明の効果】

以上説明したように、本発明によれば、拡散層のデータ率が所定の範囲内になるように、拡散層を有するフィルセルが適切に配置される。この結果、トランジスタを形成する前のCMPプロセスがウエハ全体で一様に行われることができる。

### 【0064】

また、そのフィルセルは、プリミティブセルの配置後、マスクデータ処理の前に配置されているので、マスクデータ処理の負荷を軽減することができる。

### 【0065】

さらに、フィルセルの配置に際し、単位フィルセルだけでなく、単位フィルセルが結合された、異なるサイズの複合フィルセルが予め用意されている。この結果、プリミティブセルの配置後の空き領域を効率よく埋めることができる。また、単位フィルセルも複合フィルセルも同じデータ量で指定することができるので、マスクデータ処理を高速に実行することができる。

#### 【図面の簡単な説明】

##### 【図1】

図1は、本発明の一実施の形態によるパターン生成装置の構成を示すブロック図である。

##### 【図2】

図2は、図1に示される配置配線部の詳細を示すブロック図である。

##### 【図3】

図3（a）は、単位プリミティブセルを示す図であり、図3（b）は、単位フ

イルセルを示す図である。

【図4】

図4 (a) は、プリミティブセルの配置を示す図であり、図4 (b) は、フィルセルの配置を示す図であり、図4 (c) は、パターン配置を示す図である。

【図5】

図5 (a) は、ウエハに拡散層が形成された後、CVD酸化膜が成膜された状態を示す図であり、図5 (b) は、CMP後のウエハを示す図である。

【符号の説明】

1 処理装置

1-1 フロア計画部

1-2 配置配線部

1-3 統合部

1-4 マスクデータ処理部

2 入力装置

3 表示装置

4 ネットリスト格納部

5 ライブドリ格納部

10 電源配線部

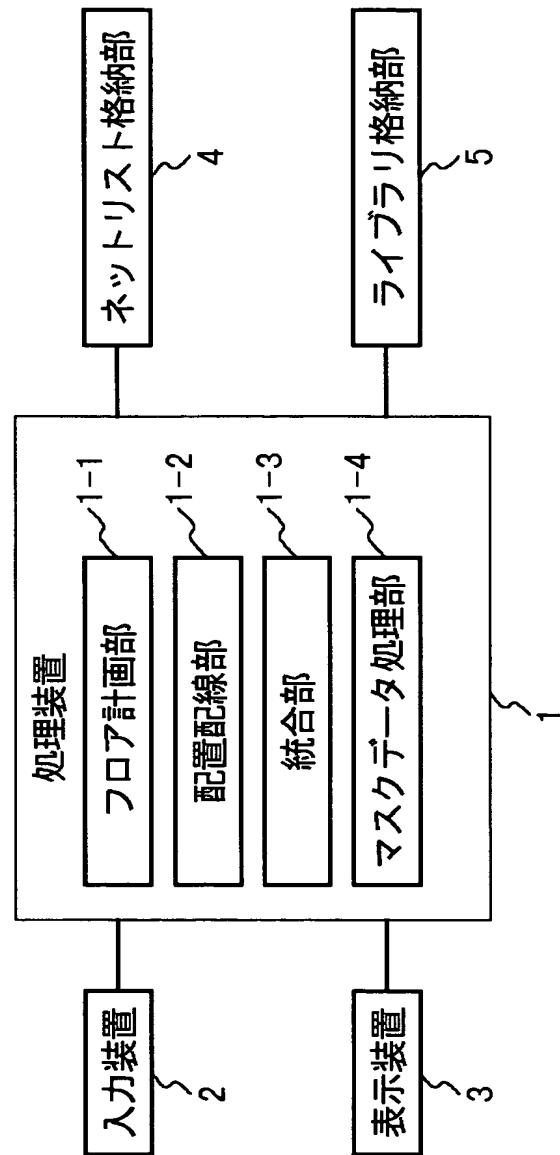
11 プリミティブセル配置部

12 フィルセル配置部

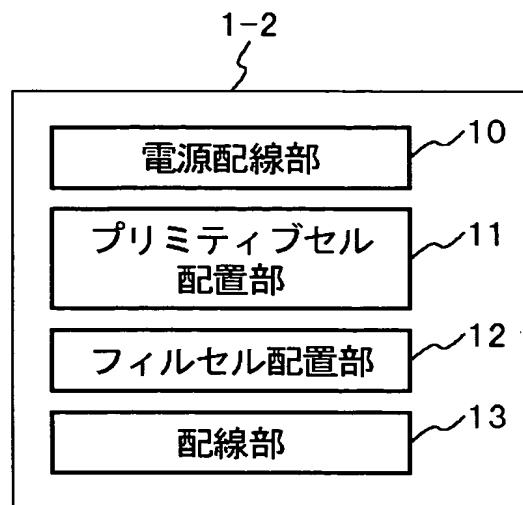
13 配線部

【書類名】 図面

【図 1】

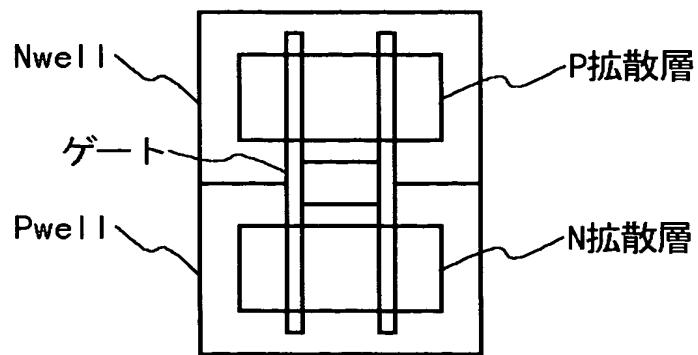


【図 2】

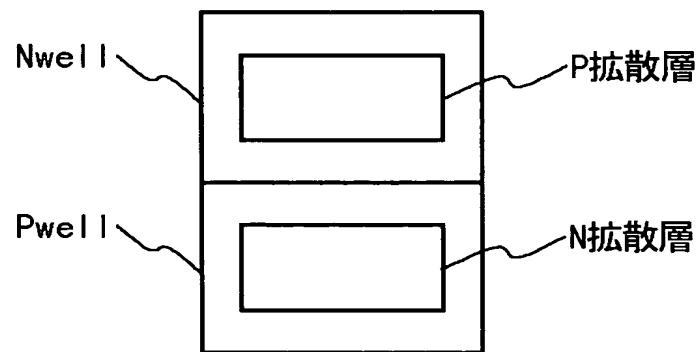


【図3】

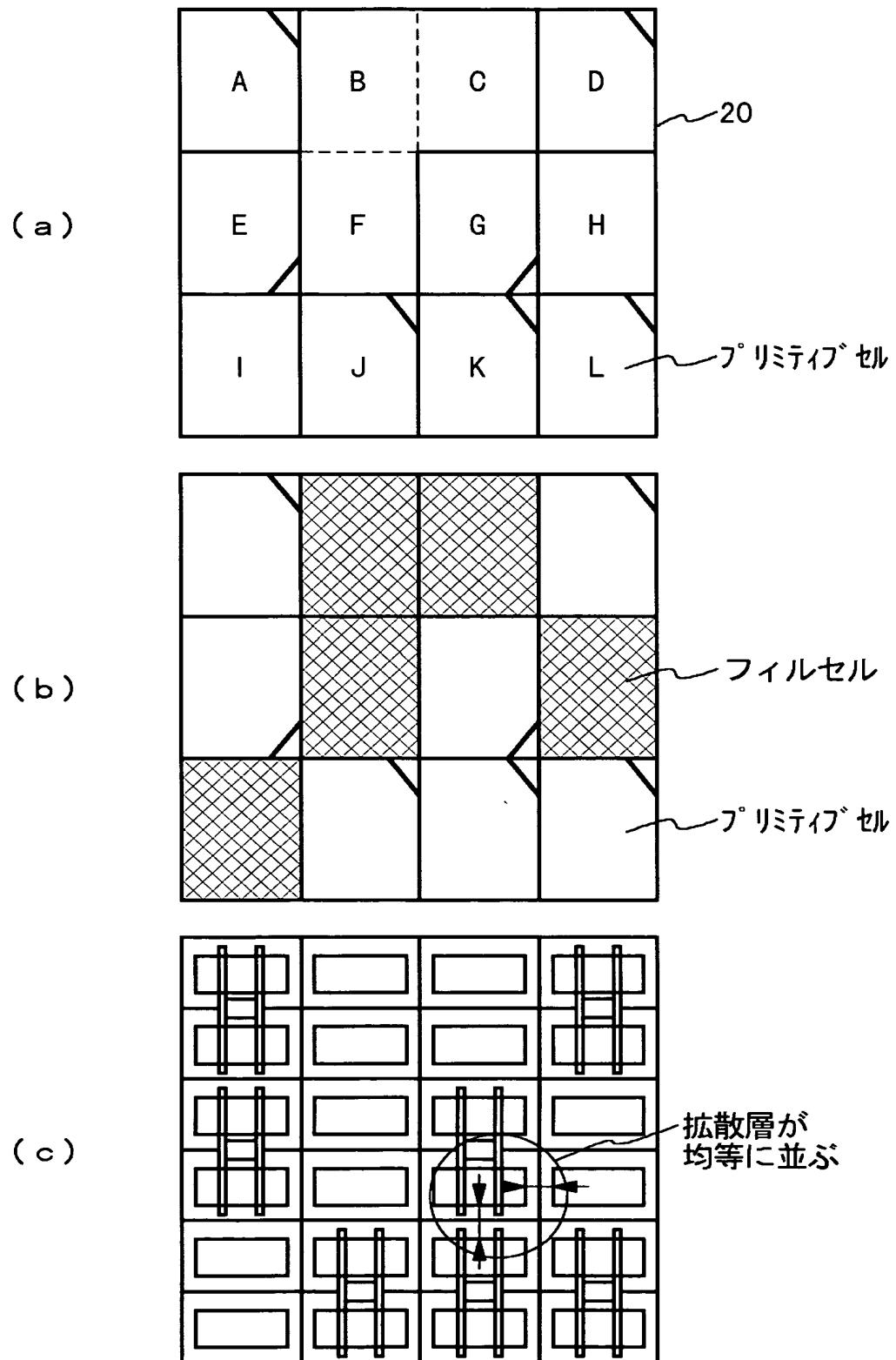
(a)



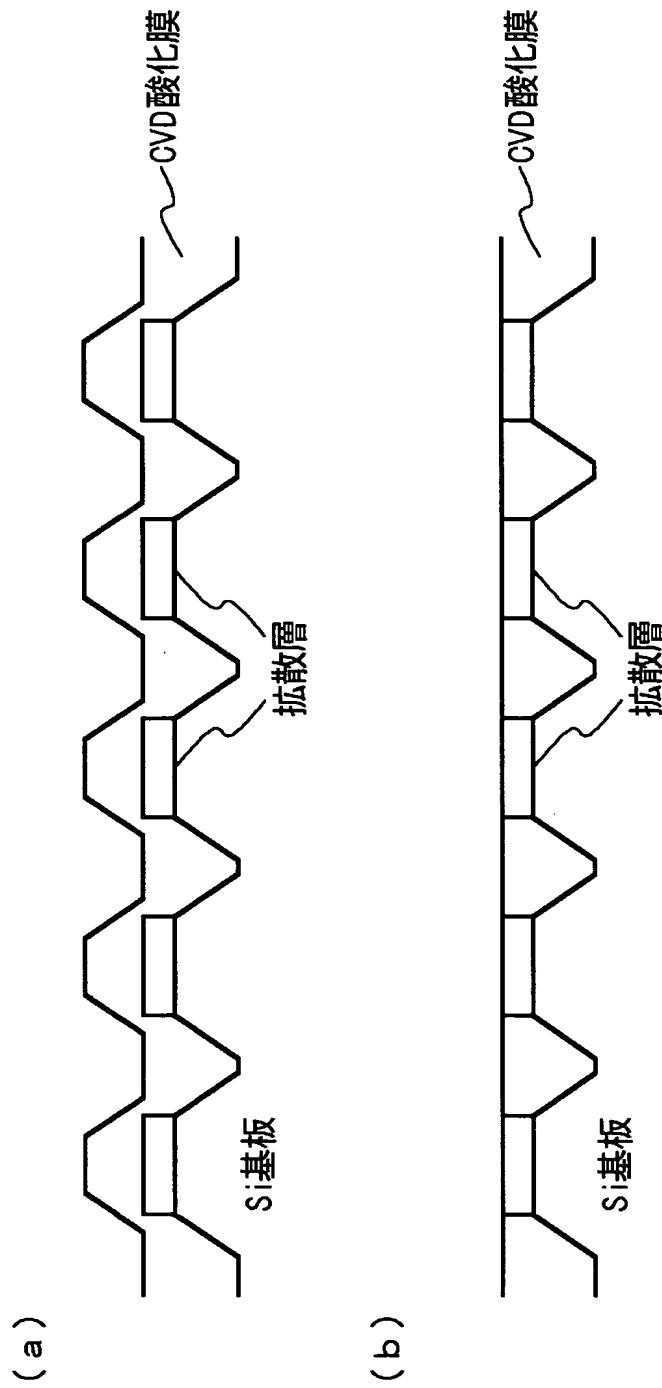
(b)



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 トランジスタを形成する前の CMP プロセスによりウエハ全体を一様に研磨する。

【解決手段】 レイアウトパターン生成方法は、半導体装置の領域内に、前記半導体装置の複数の構成要素の各々のパターンを示すプリミティブセルを配置するステップ (a) と、前記プリミティブセルの各々は拡散層パターンを有し、前記複数のプリミティブセルの配置後の前記半導体装置の前記領域内の空き領域に、拡散層パターンを有する少なくとも 1 つのフィルセルを配置するステップ (b) とを具備する。こうして、ウエハ全体に拡散層を配置することができ、 CMP 法による研磨を一様に行うことができる。

【選択図】 図 1

特願 2003-005505

出願人履歴情報

識別番号

[302062931]

1. 変更年月日 2002年11月 1日

[変更理由] 新規登録

住 所 神奈川県川崎市中原区下沼部1753番地  
氏 名 NECエレクトロニクス株式会社